

Japanese Patent #52-30390
03-1977
Yashikaza

7 pages with cover page



(4,000円) 特 許 額 4

昭和50年9月3日

特許庁長官 殿

発明の名称 半導体集積回路

発明者

氏名 英城 日立市幸町3丁目1番1号
 株式会社 日立製作所 日立研究所内
 氏名 横川 義和

特許出願人

住所 東京都千代田区丸の内一丁目5番1号
 株式会社 日立製作所
 代表者 吉 山 博

代理人

住所 東京都千代田区丸の内一丁目5番1号
 株式会社 日立製作所内 方 式 室
 電話番号 270-2111 (大代表)
 氏名 (代表) 外 茂 士 高 橋 明 夫

明 細 書

発明の名称 半導体集積回路

特許請求の範囲

入力端子あるいは出力端子が互に接続され、かつ、相互に独立して動作する複数の同一機能、動作を行なう回路素子について、相互接続関係を有する各回路素子の不純物拡散領域を一導体層シリコン内で共用し、相互接続関係を持たない不純物拡散領域は回路素子数に応じて当該導体層シリコン内に相互に独立して形成したことを特徴とする半導体集積回路。

発明の詳細な説明

本発明は同一機能を有する複数の回路素子を同一絶縁島領域内に集積化して高集積化を図った半導体集積回路に関するものである。

従来回路では、同一機能を有する複数の回路素子、例えば、トランジスタ、ダイオード、あるいは抵抗等をその入力端子側あるいは出力端子側で互に接続して使用することがしばしばみられる。

図1図は、上記従来例の一例を示すサイリスタ

①特開昭 52-30390

④公開日 昭52.(1977) 3. 8

②特願昭 50-105951

②出願日 昭50.(1975) 9. 3

審査請求 有 (全6頁)

庁内整理番号

7210 57

⑤日本分類

996H0

⑤Int. Cl²

H01L 27/04

H01L 23/50

の点画回路を示している。

サイリスタ1a、1bはいずれも、Pc-na-Pa-naの4層構造を取り、Pa-naの両層にゲート端子が設けられている。2は定電流回路であり、電圧3からの電圧をトランジスタ1のベース端子に加えられた信号により定電流化してサイリスタ1a、1bの各ゲート端子に駆動用信号イオード5-6を通じて印加する。サイリスタ1a、1bがPa層あるいはna層のどちらのゲート端子に加えらるる点画信号によつて動作するかは、サイリスタ1a、1bのカソード電位によるものであり、この点については、別途説明する。

定電流回路2に示す定電流化はサイリスタ1aに關しては、抵抗9、ゲーリントン結膜されたpnpトランジスタ10a、およびnpnトランジスタ11a、ダイオード群12によつて得られ、また、サイリスタ1bに關しては、抵抗9、ゲーリントン結膜されたpnpトランジスタ10b、およびnpnトランジスタ11b、ダイオード群12によつて得られ、抵抗9、ダイオード群12

が具用された態となつてゐる。

トランジスタにおける電流増幅率 h_{FE} が小さい場合、電流増幅率の大部分をベース電流として消費することになり、望ましいことではなく、熱発生、半導体素子回路で用いられるラチカル構造のトランジスタでは高耐圧 pnp トランジスタにおける電流増幅率を増すことは難しい。そこで、ゲーリントン構造を行なつてゐるのである。従つて、ゲーリントン構造された両トランジスタ 10a、11a、および 10b、11b は電流増幅率 h_{FE} の大きさを npn トランジスタと見ればよい。

定電流作用が得られる理由について簡単に説明する。

抵抗 9 の電圧 3 割電位は、例えば、ダイオード 12 が 2 個のダイオードよりなる場合、1 個のダイオードの順方向降下分 V_D に等しい。従つて、nnp トランジスタ 10a には抵抗 9 の抵抗値で除した電流分 V_D / R_9 が流れ込む。

pnp トランジスタ 10a のコレクタ電流 I_C はベース電流 I_B の電流増幅率 h_{FE} 倍したもので、

6 ない。

この要求に對するものが、逆電防止用ダイオード 13a、13b、npn トランジスタ 14a、14b、ダイオード 15、抵抗 16a、16b よりなる回路である。

定電流回路 2 よりサイリスタ 1a、1b の p 層の電位が高い場合は、ダイオード 5、7 によりゲート信号は印加されずに、ダイオード 13a、13b を通じて、npn トランジスタ 14a、14b を動作させる。このため、ダイオード 6、8、抵抗 16a、16b を通じて、サイリスタ 1a、1b の n 層より電流が、アース電位に流れ、この電流がゲート信号となつてサイリスタ 1a、1b を点滅するのである。

従つて、サイリスタ 1a、1b がいかなる電位状態にありとも、トランジスタ 4 に点滅信号を加えれば、定電流回路 2 が動作して、サイリスタ 1a、1b はその p 層あるいは n 層に設けられたゲート端子を介して同時に点滅するのである。

30330 (2)

即ち $I_C = h_{FE} I_B$ であり、また、エミッタ電流 I_E は、 $I_C + I_B$ であるから、以上の点から、コレクタ電流は下記で表わされる。

$$I_C = \frac{h_{FE}}{1 + h_{FE}} \frac{V_D}{R_9}$$

となつて、 $h_{FE} \gg 1$ の場合には回路条件に係らず、一定の電流が得られることになる。また、ゲーリントン構造されているため、実際に得られる電流は、上記 I_C を npn トランジスタ 11a における電流増幅率 h_{FE} 倍したものである。

サイリスタ 1a、1b の電位は、p 層のゲート端子による場合は、サイリスタ 1a、1b の p 層にゲート信号が流れ込む形であり、n 層のゲート端子による場合は、n 層からゲート信号が引き出される形で行なわれる。即ち、p 層のゲート端子による場合は、定電流回路の電位より、サイリスタ 1a、1b の p 層の電位が低くなる場合に行なわれるものであり、逆に p 層の電位が高く、即ち、n 層の電位が定電流回路 2 の電位より高い場合は、n 層のゲート端子に上りねばな

この例で、2 個のサイリスタ 1a、1b を同時に点滅する場合について説明したが、サイリスタは 2 個に限定されるものではなく、図示するように、サイリスタ 1a に代じて、ゲーリントン構造されたトランジスタ 10a、11a、ダイオード 13a トランジスタ 14a からなる構成部分を並列接続すれば事足りる。

上記するように、電流回路に電位の変動があり、かつ、印加電圧が高くて、高耐圧が要求される回路素子が集積化される半導体素子回路で、誘電体絶縁分離基板（以下に「基板」と略称する。）が使用される。

以下に「基板」- 製造法例として構成の一例に説明すれば、多結晶シリコンあるいはガラス等の単結晶シリコンに熱膨張係数の近似した物質である支持基材の一方上面面に多数の単結晶シリコンをシリコン酸化膜あるいはシリコン窒化膜等の絶縁膜を介して支持面が一致するように浮込んでなるものである。

単結晶シリコン（島領域）に支持基材の一方ま

上面にのぞんだ面より選択拡散法等を用いて不純物を拡散し、所望の回路素子が形成化されるのである。

単結晶シリコンの大きさは、その単結晶シリコン内に埋植化される回路素子の不純物拡散領域より大きく設定され、回路素子の表面利用本（一般に表面積と称される）は非常に高い。

埋植化すべき回路素子数が多くなると、シリコン基板はそれだけ大きくせねばならない。

表面はシリコン基板の面積に比例して増加するため、大きな面積のシリコン基板では経済的に非常に不利となる。

それゆえ、本発明の目的はシリコン基板面積を縮小し得る改良された半導体基板回路を提供することにある。

また、本発明の他の目的はシリコン基板を形成する単結晶シリコンの一面に複数の回路素子を埋植化し、必要時単結晶シリコン数の縮小を図り得る半導体基板回路を提供することにある。

本発明の特徴とするところは、入力端子あるいは出力端子が互に接続されかつ、相互に独立して動作する複数の同一機能、動作を行なう回路素子について、相互接続関係を有する各回路素子の不純物拡散領域を単結晶シリコン内で共用し、相互接続関係を持たない不純物拡散領域は回路素子数に応じて当該単結晶シリコン内に相互に独立させて形成することにより、単結晶シリコン数を縮小化し、もつて、シリコン面積を低減化するものである。

次に本発明が適用される場合の入力端子あるいは出力端子が互に接続され、かつ相互に独立して動作する複数の同一機能、動作を行なう回路素子を第1図のサイリスタ構成回路より引用して第2図に示す。

第2図(a)には、スイッチおよびベース端子が相互接続されたpnnpトランジスタ10a、10bが引用されている。第2図(b)では、コレクタ端子のみが相互接続されたnpnトランジスタ11a、11bが、また第2図(c)ではカソード端子が相互接続されたダイオード13a、13bが各々引用

用されている。

これら、相互接続された回路素子について、本発明に従って得た半導体基板回路を各回路素子毎に順次説明する。

第3図は第1図および第2図(a)に示すpnnpトランジスタ10a、10bの半導体基板回路部分を示しており、21はシリコン基板で、これは多結晶シリコン支持部材22、この支持部材22中に埋込んだ単結晶シリコン島領域23、前者および、図示していない他の単結晶シリコン島領域とを相互に絶縁分離するシリコン酸化膜24から構成されている。

npnトランジスタ10a、10bはラケル構造を採り、単結晶シリコン島領域23のP型コレクタ領域25a、25b、n型ベース領域26、高濃度n型ベース電極接触領域27、P型エミッタ領域28から構成される。

即ち、この例では、P型エミッタ領域28とn型ベース領域26、高濃度n型ベース電極接触領域27が共用され、両pnnpトランジスタ10a、

10bは1個の単結晶シリコン島領域23に形成され、単結晶シリコン島領域の形成化が図られている。

npnトランジスタ10a、10bは公知の選択拡散技術により、容易に製作される。

即ち、シリコン基板21を単結晶シリコン酸化膜を形成する。次に、ホトエッチング技術により、各P型不純物拡散領域、25a、25b、28の部分のシリコン酸化膜を除去し、p型不純物を拡散してこれらP型不純物拡散領域25a、25b、28を形成する。次に、高濃度n型ベース電極接触領域27の部分のシリコン酸化膜を除去して同等のn型不純物を拡散して、当該領域を形成。不純物拡散時の加熱により、内面シリコン酸化膜で覆われたシリコン酸化膜をホトエッチング技術により除去し、電極接触用の窓を開け、この上にアルミニウム等の導電性層を蒸着技術等で被せ、ホトエッチング技術により不要部分を除去し、電極接続と共に配線作業を完了す

および図2図(b)のn-p-nトランジスタを本発明に従って図1化した例を示す。1層板の平面図およびローレ切断線に沿った縦断面図、図5図(a)(b)は図1図および図2図(c)のダイオードを本発明に従って図1化した例を示す。1層板の平面図およびローレ切断線に沿った縦断面図、図6図は図3図(a)、図4図(a)、図5図(a)に示す各四端子の配線接続状況を示す。1層板の平面図である。

符号の説明

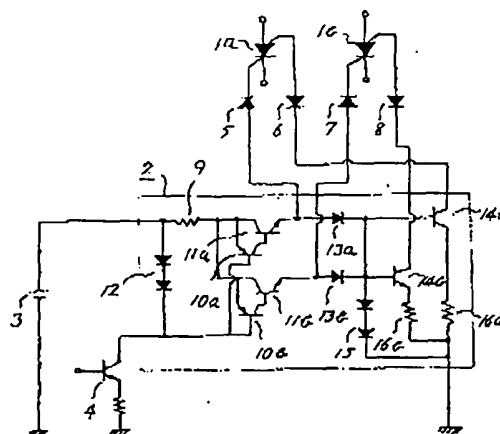
- 10a, 10b n-p-nトランジスタ
21 1層板
22 多結晶シリコン活性層材
23 単結晶シリコン島領域
24 シリコン酸化膜
25a, 25b p型コンタクト領域
26 p型ベース領域
27 高濃度n型ベース電極接触領域
28 p-n-junction領域

代理人 井理士 高橋明夫

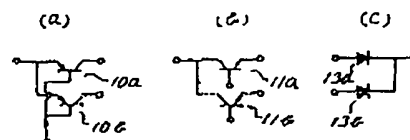


特開2000-30390(5)

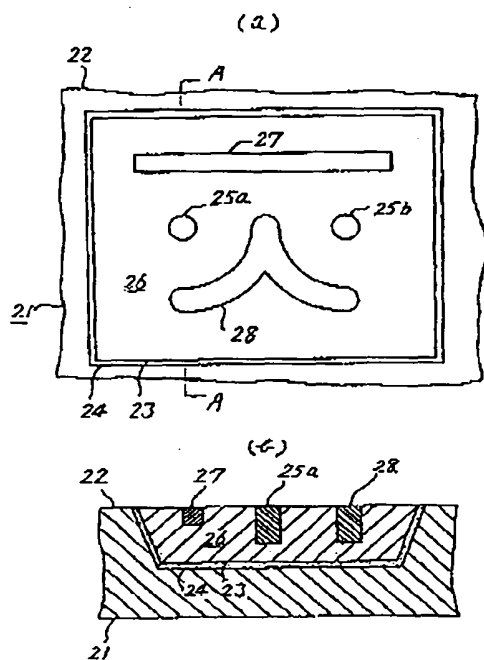
第1図



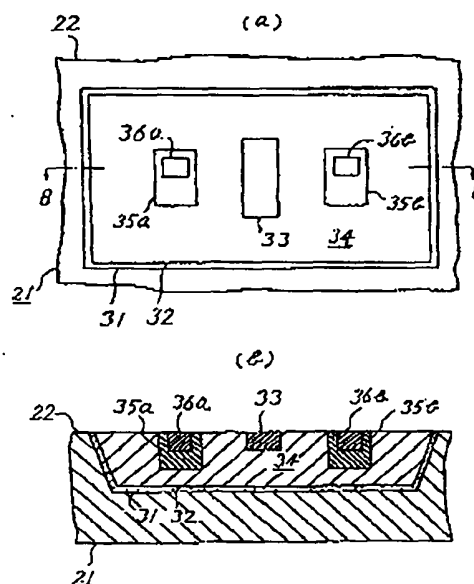
第2図

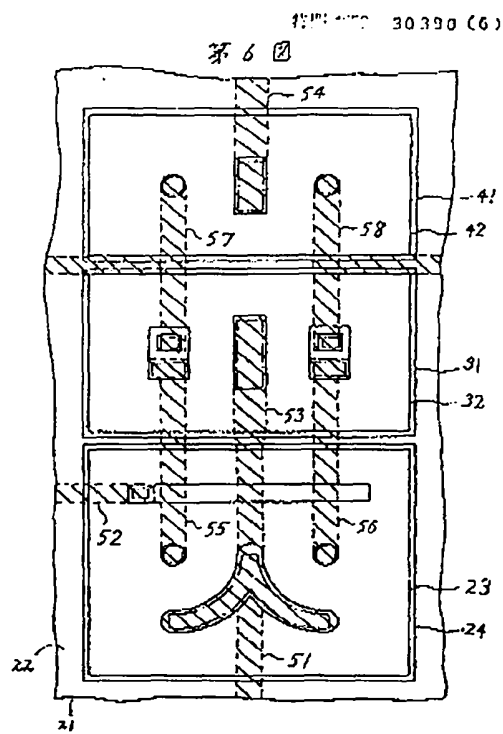
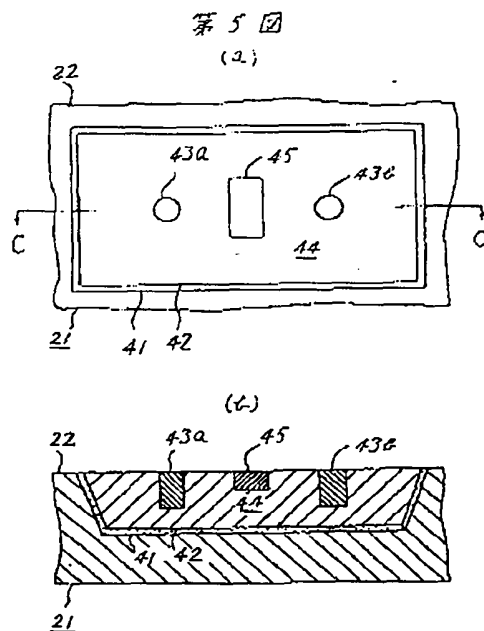


第3図



第4図





添付書類の目録

- (1) 明 書 1通
 (2) 図 面 1通
 (3) 異 議 状 1通
 (4) 特 許 審 判 書 1通

前記以外の発明者、特許出願人または代理人

発 明 者

〒250-0292 浜城原日立市幸町3丁目1番1号
 株式会社 日立製作所 日立研究所内
 発 明 者 亀 井 達 弥

〒650-0292 神奈川県横浜市戸塚区戸塚町218番地
 株式会社 日立製作所 戸塚工場内
 氏 名 北 野 雅 一 郎

住所 同上
 氏 名 堀 島 重



“Emerging Directions for Packaging Technologies”

Mahahan, Ravi et al.

**Intel Technology Journal, Volume
6, Issue 2, Published, May 6, 2002**

16 pages with cover page